

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129366

(43) 公開日 平成5年(1993)5月25日

(51) Int. Cl.
H01L 21/60識別記号 庁内整理番号
311 R 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3 (全4頁)

(21) 出願番号 特願平3-291822
(22) 出願日 平成3年(1991)11月8日

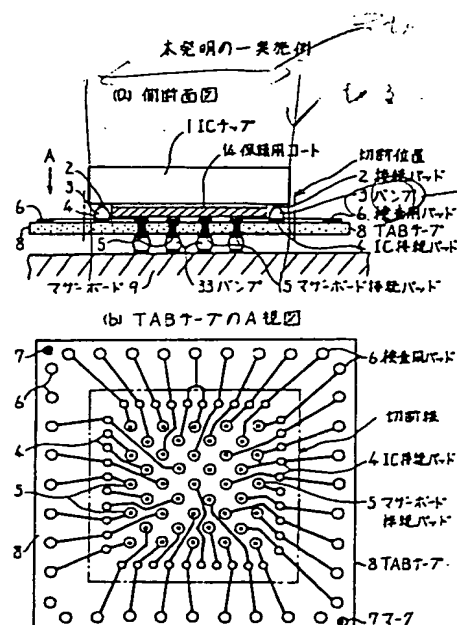
(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番
地
(72) 発明者 除村 均
神奈川県川崎市中原区上小田中1015番
地 富士通株式会社内
(72) 発明者 太田黒 浩幸
神奈川県川崎市中原区上小田中1015番
地 富士通株式会社内
(72) 発明者 東口 裕
神奈川県川崎市中原区上小田中1015番
地 富士通株式会社内
(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 集積回路用TAB実装構造

(57) 【要約】 (修正有)

【目的】 ICチップをマザーボードに実装する集積回路用TAB実装構造に関し、ICチップの単体及び接続後のチェックが行え、実装面積の縮小化と接続の多端子化が図れ、且つダイボンディングさせない実装構造の提供を目的とする。

【構成】 一面に全接続パッド2を配したICチップ1と、ICチップ1をフェイスダウンに搭載し、接続パッド2とバンプ3を介して溶着接続するIC接続パッド4を対向位置に配設し、反対面に夫々のIC接続パッド4に導通し、マザーボード9にバンプ33を介して溶着接続させるマザーボード接続パッド5を、ICチップ1の略投射面積内に配設し、所望回路のIC接続パッド4に通じてその外周位置に検査用パッド6を配設し、マザーボード9との接続位置合わせを行うマーク7を周縁部に設けた、両面又は多層に導体をパターン形成したTABテープ8とから構成する。



1

2

【特許請求の範囲】

【請求項1】 一面に全接続パッド(2)を配したICチップ(1)と、
 該ICチップ(1)をフェイスダウンに搭載し、該接続パッド(2)とバンパ(3)を介して溶着接続するIC接続パッド(4)を対向位置に配設し、反対面に夫々の該IC接続パッド(4)に導通し、マザーボード(9)にバンパ(33)を介して溶着接続させるマザーボード接続パッド(5)を、該ICチップ(1)の略投射面積内に配設し、所望回路の該IC接続パッド(4)に通じて、その外周位置に検査用パッド(6)を配設し、該マザーボード(9)との接続時に位置合わせを行うマーク(7)を周縁部に設けた、両面又は多層に導体をパターン形成したTABテープ(8)と、から成ることを特徴とする集積回路用TAB実装構造。

【請求項2】 マザーボード(9)に実装し、検査用パッド(6)を使って接続状態を検査した後に、IC接続パッド(4)及びマザーボード接続パッド(5)に掛からない範囲まで小さく、周囲の検査用パッド(6)の部分切除することを特徴とする、請求項1記載の集積回路用TAB実装構造。

【請求項3】 マザーボード(9)に実装した後に、周囲の検査用パッド(6)の部分をICチップ(1)の上に折り返し、縁部を接着固定し、該検査用パッド(6)が上側面に配設されてなることを特徴とする、請求項1記載の集積回路用TAB実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はICチップの集積回路をマザーボードに実装する集積回路用TAB実装構造に関する。

【0002】 近年、電子機器の高速化、小形化に伴い、高速で高密度実装した多端子の集積回路（以下ICと略す）の使用が増えており、且つICを回路基板に高密度に実装することが要求されている。

【0003】

【従来の技術】 図3に従来例のICチップの実装構造を示し、(a)はフリップチップ実装、(b)はTABテープ実装である。

【0004】 回路基板のマザーボードにICのベアチップを高密度に実装させる従来例としては、図3に示すようなフリップチップ実装やTAB(Tape Automated Bonding)テープ実装等が挙げられる。

【0005】 フリップチップ実装は、図3の(a)のように、ICチップ15の一面には外部接続用の接続パッド25が配設してあり、マザーボード95の実装位置には、接続パッド25に対向してIC接続パッド45がパターン形成され所定回路に通じている。ICチップ15をマザーボード95の所定位置にフェイスダウンに載置し、バンパ35を介して対向した接続パッド25とIC接続パッド45とを半田

付け接続して固定する実装構造であり、ICチップ15の外形からはみ出ることなく高密度に実装できる。

【0006】 又、図示省略したが、ICチップをマザーボードにフェイスアップに載置してダイボンディングし、接続パッド25とIC接続パッド45との間を細線によりワイヤボンディングする実装もある。

【0007】 更に、TABテープ実装は、図3の(b)のように、接続リードを絶縁テープ上にパターン形成させた一連のTABテープ85に、ICチップ15を接続リード86の一端にバンパ35を介して接続させて固定し、実装時にこのTABテープを1個毎に切り離し、マザーボード95にICチップ15をフェイスアップに載置しダイボンディングさせてから、接続リード86の他端をマザーボード95のIC接続パッド46に半田付け接続して固定する。この場合は、ワイヤボンディングに比べ高密度に接続が行え、且つTABテープ85の接続リード86に検査パッドを一体に形成させて、ICチップ15の接続リード86との接続状態を検査することができる。

【0008】

【発明が解決しようとする課題】 しかしながら、

① フリップチップ実装は、極めて高密度に実装できるが、ICチップ15単体の実装前チェック、実装後の接続状態のチェック、及びデバック時の電氣的検査が困難である。

② 又、ICチップ15をマザーボード95にダイボンディングさせた場合に、両者の熱膨張率の差による接続部に応力を生じ、剥がれや破壊する恐れがある。

③ TABテープ実装は、ICチップ15の大きさに比べその周囲に接続リード86が広がり、広い実装面積が必要となる。

等の問題点があった。

【0009】 本発明は、かかる問題点に鑑みて、ICチップの単体及び接続後のチェックが行え、実装面積の縮小化と接続の多端化が図れ、且つダイボンディングしない実装構造を提供することを目的とする。

【0010】

【課題を解決するための手段】 上記目的は、図1及び図2に示す如く、

[1] 一面に全接続パッド2を配したICチップ1と、ICチップ1をフェイスダウンに搭載し、接続パッド2とバンパ3を介して溶着接続するIC接続パッド4を対向位置に配設し、反対面に夫々のIC接続パッド4に導通し、マザーボード9にバンパ33を介して溶着接続させるマザーボード接続パッド5を、ICチップ1の略投射面積内に配設し、所望回路のIC接続パッド4に通じて、その外周位置に検査用パッド6を配設し、マザーボード9との接続位置合わせを行うマーク7を周縁部に設けた、両面又は多層に導体をパターン形成したTABテープ8とから成る、本発明の集積回路用TAB実装構造により達成される。

3

[2] 又、上記集積回路用TAB実装構造において、マザーボード9に実装し、検査用パッド6を使って接続状態を検査した後に、IC接続パッド4及びマザーボード接続パッド5に掛からない範囲まで小さく、周囲の検査用パッド6の部分を切除する実装構造によっても適えられる。

[3] 或いは、上記集積回路用TAB実装構造において、マザーボード9に実装した後に、周囲の検査用パッド6の部分をICチップ1の上に折り返し、縁部を接着固定し、検査用パッド6が上側面に配設されてなる実装構造によっても達成される。

【0011】

【作用】即ち、ICチップ1をマザーボード9にダイボンディングすることなくフェイスダウンに実装し、且つTABテープ8を介在させて接続と固定を行うので、熱膨張率の差による応力はTABテープ8が緩衝材となり低減吸収させることができる。

【0012】又、マザーボード9と接続するマザーボード接続パッド5を、前述従来例のようにICチップ1の外側に拡がってワイヤボンディング或いはTABのリード接続するのではなく、ICチップ1の略投射面積内に配設させるので、遙かに小形化が図れ、更にバンプ33を介して接続するので高密度化、多端子化が図れる。

【0013】ICチップ1は、先ずTABテープ8に単体で接続されているので、その検査用パッド6を使用し、実装前に単体チェックが容易に行える。更に、マザーボード9に接続した後も検査用パッド6から同様にチェックが行え、その後、 unnecessary 場合にはIC接続パッド4及びマザーボード接続パッド5に掛からない範囲まで小さくTABテープ8の外周を切除して、実装面積の縮小ができる。

【0014】実装後もマザーボードデバッグの電氣的検査用に必要であれば、TABテープ8の周縁部を折り返し、ICチップ1の上に接着し、検査用パッド6が常時使用できる状態となり、且つ鍔部が折り返されて無くなるので小形化が図れる。

【0015】かくして、本発明により、ICチップの単体及び接続後のチェックが行え、実装面積の縮小化と接続の多端子化が図れ、且つダイボンディングしない実装構造を提供することが可能となる。

【0016】

【実施例】以下図面に示す実施例によって本発明を具体的に説明する。全図を通し同一符号は同一対象物を示す。図1に本発明の一実施例を示し、(a)は側断面図、(b)はTABテープのA視図であり、図2に本発明の他の実施例の側断面図を示す。

【0017】一実施例は図1の(a)に示す如くで、角形のICチップ1は、一面(図示下面)の縁部に等間隔に一周して接続パッド2が配設してあり、尚、接続パッド2を除いて全面に保護用コート14が施されている。

4

【0018】連続するテープから切り離されたTABテープ8の部分は、図1の(a)及び(b)に示すように、耐熱絶縁性のポリイミド樹脂フィルムを基材としその両面に銅箔をラミネートし、エッチングによりパターン形成させて、ICチップ1を搭載する面に、IC接続パッド2と対向位置にIC接続パッド4を配設し、これに導通して放射状に引き延ばしてTABテープ8の周縁部に測定用プローブが当てられる大きさの検査用パッド6が配設してある。又、IC接続パッド4で囲まれた内域の反対面には同数のマザーボード接続パッド5が配設され、スルーホールと裏面のパターンによりIC接続パッド4と導通させており、尚、IC接続パッド4にはバンプ3を形成させてある。

【0019】又、TABテープ8のマザーボード9との位置合わせ用に●印のマーク7が対角端位置に2個設けてある。従って、一連のテープの所定位置にICチップ1がフェイスダウンに搭載し、接続パッド2をIC接続パッド4にバンプ3を介して接続し、固定してある。

【0020】マザーボード9は、ガラスエポキシ基材の多層回路基板で、ICチップ1の実装位置にはマザーボード接続パッド5に対向して回路に通じたバンプ33が配設してある。

【0021】マザーボード9に実装するに当たり、この一連のテープ状態から図1の(b)のように切り離されて、マザーボード9の実装位置に載置し、マーク7によりマザーボード接続パッド5がマザーボード9のバンプ33の上に重置するように位置合わせし、押圧加熱してマザーボード9の回路に接続し、固定させる。

【0022】この際、加熱により、既に接続してあるICチップ1とTABテープ8との接続部に支障を来さないように、それより低温接続するようにバンプ3, 33を選ぶことが必要である。

【0023】このマザーボード9との接続後に、検査用パッド6を使って接続状態及びICの異常の有無等の検査することができ、検査終了後は鎖線に沿って周縁部を検査用パッド6ごと切除する。

【0024】これにより、マザーボード9上の実装スペースは略ICチップ1の外形となり、極めて小形となり、且つ、検査も行え信頼性の高い実装が得られる。他の実施例は図2に示す如くで、上記一実施例と略同じにTABテープ8を介在してICチップ1をマザーボード9にフェイスダウンに実装するが、TABテープ8の外形が角部を落とした八角形とし、落とされた分だけ検査用パッド6が小形化又は個数を減らし、且つ検査用パッド6をスルーホールにして両面に測定用のプローブが当てられるようにしてある。

【0025】そこで、マザーボード9に接続した後に、周縁部を折り返しICチップ1の上面に接着材にて接着させる。これにより、小形化が図れ、同時に検査用パッド6が上面にも現れ、実装後も常時検査できるようにし

10

20

30

40

50

である。

【0026】上記実施例は一例を示したもので、各部の形状、配置、材料は上記のものに限定するものではない。

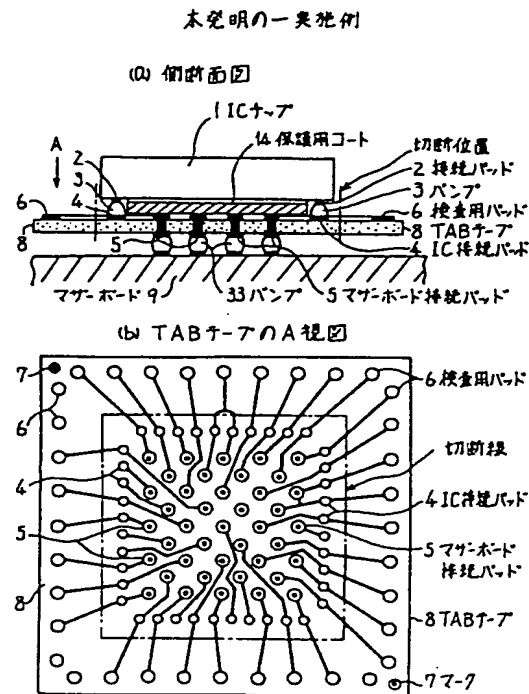
【0027】

【発明の効果】以上の如く、本発明のIC用TAB実装構造により、マザーボードへの接続前にICチップの単体チェック、及び接続後のチェックが行え、更に占有実装面積の縮小化と接続の多端子化が図れ、且つダイボンディングしない実装構造であり、信頼性の高い実装構造が得られ、マザーボードの高密度実装化に寄与すること大であり、その効果は著しい。

【図面の簡単な説明】

【図1】 本発明の一実施例

【図1】



(a) 側断面図

(b) TABテープのA視図

【図2】 本発明の他の実施例の側断面図

【図3】 従来例のICチップの実装構造

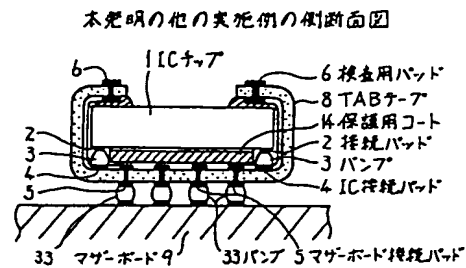
(a) フリップチップ実装

(b) TABテープ実装

【符号の説明】

- | | |
|-------------------|---------------|
| 1, 15 ICチップ | 2, 25 接続パッド |
| 3, 33, 35 パンプ | |
| 4, 45, 46 IC接続パッド | 5 マザーボード接続パッド |
| 6 検査用パッド | 7 マーク |
| 8, 85 TABテープ | |
| 9, 95 マザーボード | 14 保護用コート |
| 86 接続リード | |

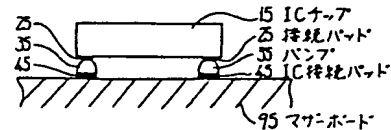
【図2】



【図3】

従来の一例のICチップの実装構造

(a) フリップチップ実装



(b) TABテープ実装

